

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-078170

(43)Date of publication of application : 14.03.2000

(51)Int.Cl.

H04L 12/40  
H04L 7/00

(21)Application number : 11-165659

(71)Applicant : YAMAHA CORP

(22)Date of filing : 11.06.1999

(72)Inventor : KURIBAYASHI YASUTAKA  
OTANI YASUSHI  
FUJIMORI JUNICHI

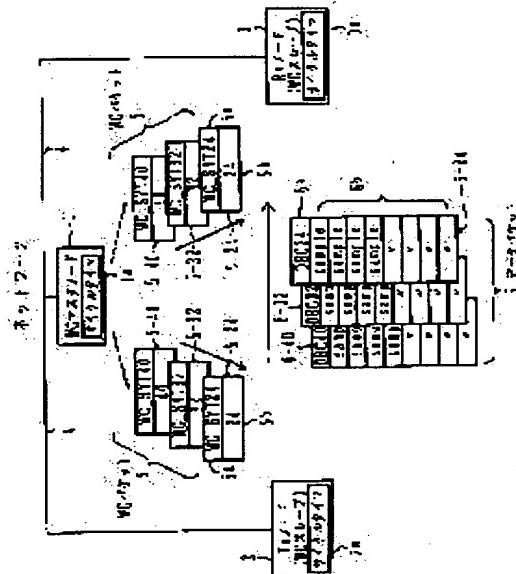
(30)Priority

Priority number : 10167475 Priority date : 15.06.1998 Priority country : JP

**(54) COMMUNICATION EQUIPMENT****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To synchronize data to be communicated among plural communication nodes by generating second synchronizing information, for which a maximum transfer delay amount is added to first synchronizing information generated by a timer, and transmitting a sample count and second synchronizing information to a network at every prescribed timing.

**SOLUTION:** The second synchronizing information, for which the maximum transfer delay amount is added to the first synchronizing information generated by the timer, is generated and the sample count corresponding to timing and the second synchronizing information are transmitted to the network at every prescribed timing. On this network, maximum delay time SYT-OFFSET is added to a WC packet 5. With a sample count axis as a reference, the nodes are synchronized. For example, a WC master node 1 transmits a WC packet 5 to first and second transmission nodes 2 and reception nodes 3. The first and second transmission nodes 2 respectively transmit data packets 6 to the reception nodes 3 corresponding to the WC packet 5.



**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2000-78170  
(P2000-78170A)

(43) 公開日 平成12年3月14日(2000.3.14)

(51) Int.Cl.<sup>7</sup>  
H 0 4 L 12/40  
7/00

識別記号

F I  
H 0 4 L 11/00  
7/00

テマコト<sup>®</sup>(参考)

審査請求 未請求 請求項の数 5 OL (全 20 頁)

(21)出願番号 特願平11-165659  
(22)出願日 平成11年6月11日(1999.6.11)  
(31)優先権主張番号 特願平10-167475  
(32)優先日 平成10年6月15日(1998.6.15)  
(33)優先権主張国 日本(JP)

(71) 出願人 000004075  
ヤマハ株式会社  
静岡県浜松市中沢町10番1号

(72) 発明者 栗林 泰孝  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72) 発明者 大谷 康  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72) 発明者 藤森 潤一  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

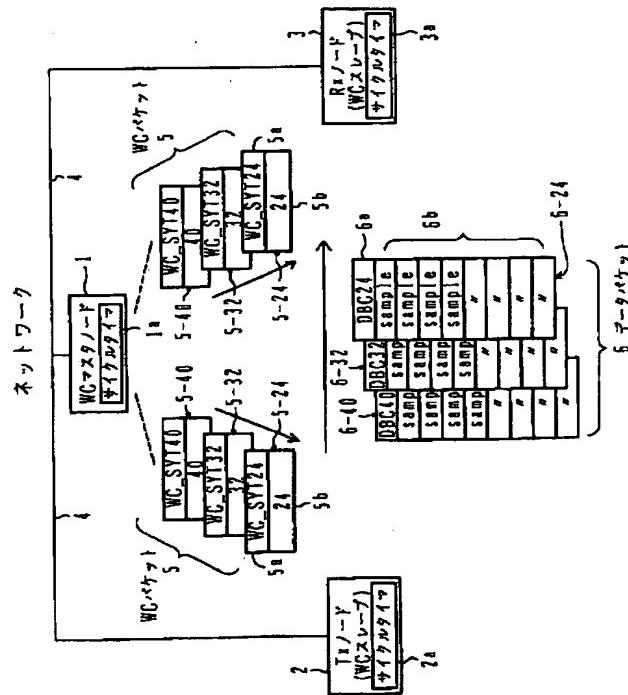
(74) 代理人 100091340  
弁理士 高橋 敬四郎 (外1名)

(54) 【発明の名称】 通信装置

(57) 【要約】

**【課題】** 複数の通信装置間で同期をとるための通信技術に関し、複数の通信ノード間で通信するデータの同期をとることができる通信装置を提供することである。

【解決手段】 第1の同期情報を生成するタイマと、前記タイマが生成する第1の同期情報に転送最大遅延量を加味した第2の同期情報を生成する生成手段と、所定タイミング毎にそのタイミングに対応するサンプルカウント及び前記第2の同期情報をネットワークに送信する送信手段とを有する通信装置を提供する。



**【特許請求の範囲】**

**【請求項1】** 第1の同期情報を生成するタイマと、前記タイマが生成する第1の同期情報に転送最大遅延量を加味した第2の同期情報を生成する生成手段と、所定タイミング毎にそのタイミングに対応するサンプルカウント及び前記第2の同期情報をネットワークに送信する送信手段とを有する通信装置。

**【請求項2】** 外部から第1の同期情報を受信する受信手段と、

前記受信手段が受信する第1の同期情報に転送最大遅延量を加味した第2の同期情報を生成する生成手段と、前記第2の同期情報及びそれに対応するデータをネットワークに送信する送信手段とを有する通信装置。

**【請求項3】** 外部から第1の同期情報及びそれに対応するデータを受信する第1の受信手段と、

外部から第2の同期情報を受信する第2の受信手段と、前記第1の受信手段が受信する第1の同期情報に基づき第1の同期調整を行い、前記第2の受信手段が受信する第2の同期情報に基づき第2の同期調整を行って前記第1の受信手段が受信するデータの処理を行う処理手段とを有する通信装置。

**【請求項4】** 第1の同期情報を生成する第1の同期情報生成手段と、

前記第1の同期情報生成手段が生成する第1の同期情報をネットワークを介して他の通信装置に転送する場合の転送最大遅延量を加味して前記第1の同期情報を基に第2の同期情報を生成する第2の同期情報生成手段と、前記第2の同期情報生成手段が生成する第2の同期情報をネットワークに送信する送信手段と、前記第2の同期情報生成手段が生成する第2の同期情報をネットワークを介さずに直接受け取り、該第2の同期情報に基づいてデータを処理する処理手段とを有する通信装置。

**【請求項5】** 外部通信装置から第1の同期情報を受信する第1の受信手段と、

外部から第2の同期情報を受信する第2の受信手段と、前記第1の受信手段が受信する第1の同期情報の前記外部通信装置からの到達遅延時間を計測する計測手段と、前記計測手段が計測する到達遅延時間に応じて前記第1又は第2の同期情報の補正值を決定する決定手段と、前記第1又は第2の受信手段が第1又は第2の同期情報を受信する毎に前記決定手段により決定される補正值に応じて該第1又は第2の同期情報を補正する補正手段とを有する通信装置。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は、通信技術に関し、特に複数の通信装置間で同期をとるための通信技術に関する。

**【0002】**

**【従来の技術】** IEEE1394規格のデジタルシリアル通信が普及しつつある。IEEE1394規格では、複数の通信ノードを接続してネットワークを構成することができる。例えば、1つの受信ノードは、複数の送信ノードからオーディオデータを受信することができる。

**【0003】** 第1及び第2の送信ノードが同時に1つの受信ノードにデータを送信するとする。この場合、ノード間の距離の相違等により、通常、受信ノードが第1の送信ノードから受信する時刻と第2の送信ノードから受信する時刻が異なる。例えば、第1の送信ノードからデータを受信し、その後に第2の送信ノードからデータを受信する。

**【0004】** 送信ノードと受信ノードは、それぞれ独自のサイクルタイマを有する。各サイクルタイマは、同期がとれていない。受信ノードは、第1の送信ノードから受信するデータと第2の送信ノードから受信するデータとの同期をとることが困難である。

**【0005】** また、1つの送信ノードが第1及び第2の受信ノードに同じデータをほぼ同時に送信することがある。しかし、上記と同様に、通常、第1の受信ノードが受信する時刻と第2の受信ノードが受信する時刻が異なる。第1及び第2の受信ノードは、それぞれ自己のサイクルタイマに応じて、受信したデータの再生を行うので、第1及び第2の受信ノードの再生処理にずれが生じやすい。

**【0006】**

**【発明が解決しようとする課題】** 受信ノードは、複数の送信ノードから送信されるデータの同期をとることが困難である。また、送信ノードが複数の受信ノードにデータを送信する場合には、複数の受信ノード間における同期をとることが困難である。

**【0007】** 本発明の目的は、複数の通信ノード間で通信するデータの同期をとることができる通信装置を提供することである。

**【0008】**

**【課題を解決するための手段】** 本発明の一観点によれば、第1の同期情報を生成するタイマと、前記タイマが生成する第1の同期情報に転送最大遅延量を加味した第2の同期情報を生成する生成手段と、所定タイミング毎にそのタイミングに対応するサンプルカウント及び前記第2の同期情報をネットワークに送信する送信手段とを有する通信装置が提供される。

**【0009】** 本発明の他の観点によれば、外部から第1の同期情報を受信する受信手段と、前記受信手段が受信する第1の同期情報に転送最大遅延量を加味した第2の同期情報を生成する生成手段と、前記第2の同期情報及びそれに対応するデータをネットワークに送信する送信手段とを有する通信装置が提供される。

**【0010】** 本発明の他の観点によれば、外部から第1の同期情報及びそれに対応するデータを受信する第1の

受信手段と、外部から第2の同期情報を受信する第2の受信手段と、前記第1の受信手段が受信する第1の同期情報に基づき第1の同期調整を行い、前記第2の受信手段が受信する第2の同期情報に基づき第2の同期調整を行って前記第1の受信手段が受信するデータの処理を行う処理手段とを有する通信装置が提供される。

【0011】本発明の他の観点によれば、第1の同期情報を生成する第1の同期情報生成手段と、前記第1の同期情報生成手段が生成する第1の同期情報をネットワークを介して他の通信装置に転送する場合の転送最大遅延量を加味して前記第1の同期情報を基に第2の同期情報を生成する第2の同期情報生成手段と、前記第2の同期情報生成手段が生成する第2の同期情報をネットワークに送信する送信手段と、前記第2の同期情報生成手段が生成する第2の同期情報をネットワークを介さずに直接受け取り、該第2の同期情報に基づいてデータを処理する処理手段とを有する通信装置が提供される。

【0012】本発明の他の観点によれば、外部通信装置から第1の同期情報を受信する第1の受信手段と、外部から第2の同期情報を受信する第2の受信手段と、前記第1の受信手段が受信する第1の同期情報の前記外部通信装置からの到達遅延時間を計測する計測手段と、前記計測手段が計測する到達遅延時間に応じて前記第1又は第2の同期情報の補正值を決定する決定手段と、前記第1又は第2の受信手段が第1又は第2の同期情報を受信する毎に前記決定手段により決定される補正值に応じて該第1又は第2の同期情報を補正する補正手段とを有する通信装置が提供される。

#### 【0013】

【発明の実施の形態】図1は、本発明の第1の実施例による通信ネットワークの構成を示すブロック図である。本実施例では、IEEE1394規格に準拠した"audio and music data transmission protocol"の規定に則ったパケット転送が可能である。そのパケット転送は、IEEE1394規格のアイソクロナスパケット転送で行なうことが好ましい。

【0014】IEEE1394バス4には、ワードクロック(WC)マスタノード1とWCスレーブノード2、3が接続されている。WCスレーブノード2は送信ノード(以下、Txノードという)であり、WCスレーブノード3は受信ノード(以下、Rxノードという)である。バス4には、複数のTxノード2及び/又は複数のRxノード3を接続してもよい。

【0015】WCマスタノード1はサイクルタイマ1aを有し、Txノード2はサイクルタイマ2aを有し、Rxノード3はサイクルタイマ3aを有する。サイクルタイマ1a、2a、3aは、基本的に約25MHzで動作するカウンタである。

【0016】WCマスタノード1は、バス4を介して、Txノード2及びRxノード3にWCパケット5を送信

する。WCパケット5は、同期をとるためのパケットであり、システムタイム5a及びサンプルカウント5bを含む。

【0017】WCマスタノード1は、例えばWCパケット5-24、5-32、5-40等を所定間隔で順次送信する。WCパケット5-24は、第24サンプルのオーディオデータの同期をとるためのパケットである。WCパケット5-32及び5-40は、それぞれ第32サンプル及び第40サンプルのオーディオデータの同期をとるためのパケットである。

【0018】Txノード2は、WCマスタノード1から受信したWCパケット5に応じてタイミングを調整し、データパケット6をバス4を介してRxノード3へ送信する。データパケット6は、サンプルカウントを示すDBC6a及び8つのサンプルデータ6bを含む。

【0019】Txノード2は、例えばデータパケット6-24、6-32、6-40等を所定間隔で順次Rxノード3へ送信する。データパケット6-24は、第24～31サンプルのオーディオデータ6bを含む。データパケット6-32及び6-40は、それぞれ第32～39サンプル及び第40～47サンプルのオーディオデータ6bを含む。

【0020】Rxノード3は、WCマスタノード1から受信したWCパケット5に応じてタイミングを調整し、Txノード2から受信したデータパケット6内のサンプルデータ(例えばオーディオデータ)6bを再生する。

【0021】図2は、Txノード2の動作を説明するためのタイミングチャートである。

【0022】まず、データパケット6-24(図1)の生成方法を説明する。Txノード2は、第24サンプルデータD24から第31サンプルデータD31までの8個のデータを1つのデータパケット6bとして生成する。インターバルSYT\_INTERVALは、パケットを生成する周期である。

【0023】サイクルタイマ2aは、時間経過に応じて32ビットのサイクルタイム値を増加する。ここで、第24、第32及び第40サンプルデータD24、D32、D40のサイクルタイムをそれぞれCT24、CT32及びCT40とする。

【0024】システムタイムSYT24、SYT32及びSYT40は、それぞれサイクルタイムCT24、CT32、CT40の下位16ビットの値である。

【0025】DBC6aは、サンプルカウントを示す。例えば、データパケット6bの先頭データは、第24番目のサンプルデータD24であるので、そのデータパケット6bに対応するDBC6aの値は24である。

【0026】データパケット6(図1)は、DBC6a及びデータパケット6bを有する。DBC6aの代わりに、システムタイムSYT24を含ませてもよい。システムタイムSYT24は、上記のように、データパケッ

ト6bの先頭サンプルデータD24のタイミングを示す。

【0027】データパケット6-32(図1)も上記と同様に生成することができる。Txノード2は、第32サンプルデータD32から第39サンプルデータD39までの8個のデータを1つのデータパケット6bとして生成する。このデータパケット6bの先頭データは、第32番目のサンプルデータD32であるので、そのデータパケット6bに対応するDBC6aの値は32である。DBC6aの代わりに、システムタイムSYT32を用いてもよい。なお、上記のDBC及びシステムタイム(SYT)は、IEEE1394規格に準拠した"audio and music data transmission protocol"で規定されているものと同じであり、アイソクロナスパケット転送のためのCIPヘッダ内に含まれている。DBCは8ビットであり、SYTは16ビットである。

【0028】図3は、図1のノード間の動作を示すタイミングチャートである。

【0029】WCマスタノード1は、サンプルデータ24、32、40等のタイミングを示すWCパケット5-24、5-32、5-40等をTxノード2及びRxノード3に順次送信する。WCパケット5の送信間隔はインターバルSYT\_INTERVAL(図2参照)である。

【0030】WCパケット5がWCマスタノード1からTxノード2又はRxノード3に到達するまでの最大通信時間はSYT\_OFFSETである。時間SYT\_OFFSETは、IEEE1394規格で決められている最大遅延時間(トランスマディレイ)であり、352μsである。つまり、あるノードから他のノードへパケットを送信すると、遅くとも352μs以内にはパケットが到達することが保証されている。

【0031】WCパケット5は、最大遅延時間SYT\_OFFSETが加味されている。すなわち、WCパケット5-24は、第24サンプルカウントを示すサンプルカウント5bと、それに対応するシステムタイムSYT24(図2)に上記の最大遅延時間SYT\_OFFSETを加算したシステムタイムWC\_SYT24とを含む。システムタイムWC\_SYT24=SYT24+SYT\_OFFSETである。WCパケット5-32及び5-40等も同様に最大遅延時間SYT\_OFFSETが加味されている。

【0032】図3中のWCマスタノード1の縦軸は、自分が送信するWCパケット5内のサンプルカウント5bの値を示す。Txノード2及びRxノード3の各縦軸は、WCマスタノード1から受信したWCパケット5内のサンプルカウント5bの値を示す。3つのノード1、2、3は、上記のサンプルカウントの軸を基準にして処理を行う。サンプルカウント軸は、時間軸に相当する。3つのノードの軸は、絶対時間は異なるが、相対時間は

同じである。Txノード2及びRxノード3は、それぞれのサンプルカウント軸に基づき同期をとることができる。

【0033】WCマスタノード1は、例えばWCパケット5-32をTxノード2及びRxノード3に送信する。WCパケット5-32は、第32サンプルカウントを示すサンプルカウント5bとそれに対応するシステムタイムSYT32に上記の最大遅延時間SYT\_OFFSET(352μs)を加算したシステムタイムWC\_SYT32を含む。

【0034】Txノード2は、WCパケット5-32を受信すると、第32サンプルカウントにオフセット値SAMPLE\_OFFSET(例えば17サンプル)を加算した第49(=32+17)サンプルデータを先頭に含むデータパケット6-49を送信する。データパケット6-49は、DBC6aが49であり、サンプルデータ6bが第49~56サンプルデータである。

【0035】オフセット値SAMPLE\_OFFSET(例えば17サンプル)を加算することは、Txノード2からRxノード3へのデータパケット6の最大通信遅延時間を考慮したものであり、17サンプル分先のサンプルデータを送信することを意味する。つまり、Txノード2は、WCパケット5内のサンプルカウント5bが32であれば、その値に17サンプルを足したサンプルカウント値のサンプルデータを先頭にしたデータパケット6-49を送信する。

【0036】この最大通信遅延時間が17サンプル分に相当することを説明する。上記のように最大通信遅延時間SYT\_OFFSETは352μsである。オーディオデータのサンプリング周波数は、例えば、48kHzである。

【0037】この場合のサンプル数は、 $48\text{ kHz} \times 352\mu\text{s} = 16.896$ である。したがって、サンプルオフセット値は、16.896サンプル以上でなければならない。サンプルオフセット値は、最小の整数として17サンプルが好ましい。

【0038】Rxノード3は、遅くともサンプルカウントが49の時には、Txノード2から上記のデータパケット6-49を既に受信している。上記の通信の合計遅延時間はT1+T2である。遅延時間T1は、WCマスタノード1からTxノード2までのWCパケット5-32の通信時間である。遅延時間T2は、Txノード2からRxノード3までのデータパケット6-49の通信時間である。

【0039】Rxノード3は、受信したデータパケット6-49をファーストインファーストアウトバッファ(FIFO)に格納し、サンプルカウントが49になったところで、データパケット6-49の再生処理を開始する。サンプルカウントが49になるまで、FIFOにパケットを格納して処理を待機することにより、遅延時

間 $T_1 + T_2$ を吸収することができる。

【0040】上記のように、WCパケット5-32は、最大遅延時間SYT\_OFFSETがオフセットされたシステムタイムWC\_SYT32を含む。この最大遅延時間SYT\_OFFSETは、通信遅延時間T1を吸収するためのオフセット値である。

【0041】仮に、システムタイムオフセット値SYT\_OFFSETをオフセットせずにWCパケット5-32を送信するとすると、Rxノード3がそのWCパケット5-32を受信したときには既にサンプルカウントの32に相当するシステムタイムが過ぎてしまっており、処理できなくなってしまう。

【0042】データパケット6-49は、サンプルカウントオフセット値SAMPLE\_OFFSETがオフセットされたDBC6aを含む。このオフセット値SAMPLE\_OFFSETは、通信遅延時間T2を吸収するためのオフセット値である。

【0043】仮に、サンプルカウントオフセット値SAMPLE\_OFFSETをオフセットせずにデータパケット6-32を送信するとすると、Rxノード3がそのデータパケット6-32を受信したときには既にサンプルカウントの32が過ぎてしまっており、処理できなくなってしまう。

【0044】図4は、WCマスタノード1の処理を示すフローチャートである。

【0045】ステップSA1では、レジスタsample\_countに定数SYT\_INTERVALを加算する。レジスタsample\_countは、オーディオデータのサンプル数のカウント値を格納するためのレジスタである。定数SYT\_INTERVALは、1パケット内のサンプル数であり、例えば8である。このレジスタsample\_countは、図1のWCパケット5内のサンプルカウント5bに相当する。

【0046】次に、システムタイムSYT(図2)にオフセット値SYT\_OFFSETを加算した値をレジスタsyntに格納する。システムタイムSYTは、例えば図2のSYT24である。オフセット値SYT\_OFFSETは、最大遅延時間であり、例えば352μsである。オフセット値SYT\_OFFSETを加算することにより、図3に示す遅延時間T1を吸収することができる。このレジスタsyntは、図1のWCパケット5内のシステムタイム5aに相当する。

【0047】ステップSA2では、図1に示すように、レジスタsample\_countをサンプルカウント5bとし、レジスタsyntをシステムタイム5aとして、WCパケット5を生成し、バス4上に送出する。

【0048】以上は1つのパケットの生成処理を示したが、WCマスタノード1は、所定時間間隔で上記の処理を繰り返し、例えば、WCパケット5-24、5-32、5-40等を順次送出する。

【0049】WCパケット5-24は、システムタイム5aがWC\_SYT24 (=SYT24+SYT\_OFFSET) であり、サンプルカウント5bが24である。WCパケット5-32は、システムタイム5aがWC\_SYT32 (=SYT32+SYT\_OFFSET) であり、サンプルカウント5bが32である。

【0050】図5は、第1のTxノード2の構成例を示すブロック図である。

【0051】Txノード2は、IEEE1394インターフェースシステム11及びノードシステム12を有する。

【0052】WCパケット5は、システムタイム5a及びサンプルカウント5bを含み、WCマスタノード1から受信するパケットである。サンプルカウント FIFO13は、サンプルカウント5bをファーストインファーストアウトで格納する。システムタイムFIFO14は、システムタイム5aをファーストインファーストアウトで格納する。

【0053】システムタイム比較器15は、FIFO14が出力するシステムタイム5aとサイクルタイム2aが出力するサイクルタイムの下位16ビットを比較する。サイクルタイムは32ビットである。システムタイム5aは、WCマスタノード1のサイクルタイムの下位16ビットに最大遅延時間SYT\_OFFSET(352μs)を加算した値である。

【0054】システムタイム5aは、最大遅延時間SYT\_OFFSET分加算されているので、サイクルタイム2aのサイクルタイムよりも大きい。サイクルタイム2aは、約25MHzで順次サイクルタイムをインクリメントする。

【0055】やがて、サイクルタイムとシステムタイム5aは一致する。両者が一致すると、比較器15は、一致信号を出力する。一致信号が出力するまで後に示す処理は待たされる。後の処理を待たせることにより、WCマスタノード1からTxノード2までの通信遅延時間T1(図3)を吸収することができる。WCマスタノード1から複数のTxノード2へWCパケット5を送信する場合、各Txノード2の受信時刻の相違を吸収することができる。

【0056】位相フェーズロックループ回路(PLL)16は、上記の一致信号に同期して、例えば48kHzのオーディオ用ワードクロックWCKを生成し、ノードシステム12に供給する。

【0057】タイミング調整器17は、上記の一致信号を受けた時点で、FIFO13内のサンプルカウント5bを加算器18へ出力する。加算器18は、サンプルカウント5bにオフセット値SAMPLE\_OFFSET(例えば、17サンプル)を加算し、サンプルカウントSCNを出力する。例えば、サンプルカウント5bが32の場合、加算器18はサンプルカウントSCN=32

$+ 17 = 49$  を出力する。オフセット値を加算することにより、Txノード2からRxノード3までの通信遅延時間T2(図3)を吸収するための準備が整う。通信遅延時間T2の吸収は、後に示すRxノード3(図7)で行われる。

【0058】ノードシステム12は、ワードクロックWCKに同期して、サンプルカウントSCN(例えば49)に応じて、8個のサンプルデータ(例えば第49～第56サンプルデータ)をデータSDTとして読み出して、データ FIFO19にファーストインファーストアウトで格納する。

【0059】DBCジェネレータ20は、ワードクロックWCKに同期して、サンプルカウントSCNに応じてDBCを生成する。

【0060】DBC6aは、DBCジェネレータ20により生成される。サンプルデータ6bは、FIFO19内のサンプルデータSDTを基に生成される。

【0061】DBC6a及びサンプルデータ6bをパケット化することにより、データパケット6が生成される。データパケット6は、Txノード2からRxノード3へ送信される。

【0062】なお、加算器18でサンプルカウント5bにオフセット値SAMPLE\_OFFSETを加算した値SCNをノードシステム12に供給する場合に限定されず、サンプルカウント5bを直接供給するようにしてもよい。その場合、ノードシステム12は、オフセット値SAMPLE\_OFFSETを考慮した処理を行う必要がある。

【0063】また、サンプルカウントSCNをノードシステム12に1パケット毎に供給する場合に限定されず、1サンプル毎に供給するようにしてもよい。

【0064】図6は、Txノード2の処理を示すフローチャートである。フローチャートの左側の処理SB1～SB8はインターフェースシステム11の処理を示し、右側の処理SB9はノードシステム12の処理を示す。

【0065】ステップSB1では、WCパケット5内のシステムタイム5a及びサンプルカウント5bをそれぞれFIFO14及び13に格納する。

【0066】ステップSB2では、比較器15がシステムタイムとサイクルタイムを比較し、両者が一致するまで待機する。両者が一致すると、ステップSB3へ進む。

【0067】ステップSB3では、FIFO14に格納されている次のシステムタイムを比較器15にロードし、次回の比較の準備を行う。

【0068】ステップSB4では、PLL16がワードクロックWCKを生成する。

【0069】ステップSB5では、加算器18がサンプルカウント5bとオフセット値SAMPLE\_OFFSETを加算し、加算値SCNをノードシステム12へ出

力する。

【0070】次に、インターフェースシステム11はステップSB6を処理し、ノードシステム12はステップSB9を処理する。

【0071】ステップSB6では、生成したサンプルカウントSCNを基にDBCを生成する。必要であれば、生成したDBCをFIFOに格納する。次に、ステップSB7へ進む。

【0072】ステップSB9では、入力したサンプルカウントCNTに対応したサンプルデータSDTをインターフェースシステム11へ供給する。次に、ステップSB7へ進む。

【0073】ステップSB7では、上記のノードシステム12からサンプルデータSDTを受け取る。

【0074】ステップSB8では、サンプルデータSDT及びDBC等をパケット化して、データパケット6をRxノード3へ送出する。

【0075】図7は、第1のRxノード3の構成例を示すブロック図である。

【0076】Rxノード3は、IEEE1394インターフェースシステム31及びノードシステム32を有する。

【0077】WCパケット5は、システムタイム5a及びサンプルカウント5bを含み、WCマスタノード1から受信するパケットである。サンプルカウントFIFO33は、サンプルカウント5bをファーストインファーストアウトで格納する。システムタイムFIFO34は、システムタイム5aをファーストインファーストアウトで格納する。

【0078】システムタイム比較器35は、FIFO34が outputするシステムタイム5aとサイクルタイム3aが出力するサイクルタイムの下位16ビットを比較する。システムタイム5aは、WCマスタノード1のサイクルタイムの下位16ビットに最大遅延時間SYT\_OFFSET(325μs)を加算した値である。

【0079】サイクルタイムとシステムタイム5aが一致すると、比較器35は、一致信号を出力する。一致信号が出力するまで後に示す処理は待たれる。後の処理を待たせることにより、WCマスタノード1からRxノード3までの通信遅延時間を吸収することができる。WCマスタノード1から複数のRxノード3へWCパケット5を送信する場合、各Rxノード3の受信時刻の相違を吸収することができる。

【0080】PLL36は、上記の一致信号に同期して、例えば48kHzのオーディオ用ワードクロックWCKを生成し、ノードシステム32に供給する。

【0081】タイミング調整器37は、上記の一致信号を受けた時点で、FIFO33内のサンプルカウント5bをサンプルカウントSCNとしてノードシステム32へ供給する。

【0082】データパケット6は、DBC6a及びサンプルデータ6bを含み、Txノード2から受信するパケットである。DBC-FIFO40は、DBC6aをファーストインファーストアウトで格納する。データ FIFO39は、サンプルデータ6bをファーストインファーストアウトで格納する。

【0083】DBC比較器38は、FIFO33が出力するサンプルカウント5bとFIFO40が出力するDBC6aを比較する。DBC6aは、図5のTxノード2の加算器18にてサンプルカウント5bにオフセット値SAMPLE\_OFFSET（例えば17）が加算された値である。

【0084】DBC6aは、オフセット値が加算されているので、FIFO33のサンプルカウント5bよりも大きい。FIFO33は、入力されたサンプルカウント5bの値を出力し、その後、順次サンプルカウントをインクリメントした値を出力する。

【0085】やがて、DBCとサンプルカウントは一致する。両者が一致すると、比較器38は、一致信号を出力する。一致信号が出力するまで、データ FIFO39内のデータの読み出し処理は待たされる。読み出し処理を待たせることにより、Txノード2からRxノード3までの通信遅延時間T2（図3）を吸収することができる。Txノード2から複数のRxノード3へデータパケット6を送信する場合、各Rxノード3の受信時刻の相違を吸収することができる。

【0086】データ FIFO39及びDBC-FIFO40は、比較器38の比較結果により読み出しポインタ（アドレス）が制御される。

【0087】比較器38が一致信号を出力すると、データ FIFO39からサンプルデータが読み出されてタイミング調整器41に出力され、比較器38にはDBC-FIFO40内の次のDBCがセットされる。

【0088】タイミング調整器41は、ワードクロックWCKに同期して、FIFO39から出力されたデータをサンプルデータSDTとしてノードシステム32に供給する。

【0089】ノードシステム32は、ワードクロックWCKに同期して、サンプルカウントSCNに応じてサンプルデータ（オーディオデータ）SDTを再生処理し、スピーカから発音させる。

【0090】なお、WCパケット5は、サンプルカウント5bの代わりにDBCを用いてもよい。その場合、FIFO33にはDBCが格納され、比較器38はFIFO33内のDBCとFIFO40内のDBCとを比較する。

【0091】また、Rxノード3が受信を開始する際、データ FIFO39及びDBC-FIFO40のリードポインタを所定値に制御する必要がある。具体的には、DBC-FIFO40の先頭のDBC値とサンプルカウ

ント FIFO33の先頭のサンプルカウント値とを比較し、サンプル単位でデータ FIFO39及びDBC-FIFO40の各リードポインタを制御する。これにより、サンプルカウントSCNとそれに対応するサンプルデータSDTをノードシステム32に所定のタイミングで供給することができる。

【0092】IEEE1394規格では、複数チャンネル分のデータをアイソクロナスパケット転送することができる。データが複数チャンネル分存在するときには、上記のリードポインタ制御器を複数設けてもよいし、1つのリードポインタ制御器を切り換えて、1チャンネルずつ制御してもよい。データが複数チャンネル分存在するときには、データ FIFO39はチャンネル数分必要である。

【0093】図8は、Rxノード3の処理を示すフローチャートである。

【0094】ステップSC1では、受信したWCパケット5内のシステムタイム5a及びサンプルカウント5bをそれぞれ FIFO34及び33に格納する。

【0095】ステップSC2では、データパケット6を受信した場合、パケット6内の内的DBC6a及びサンプルデータ6bをそれぞれ FIFO40及び39に格納する。

【0096】ステップSC3では、比較器35がシステムタイムとサイクルタイムを比較し、両者が一致するまで待機する。両者が一致すると、ステップSC4へ進む。

【0097】ステップSC4では、FIFO34に格納されている次のシステムタイムを比較器35にロードし、次回の比較の準備を行う。

【0098】ステップSC5では、PLL36がワードクロックWCKを生成する。

【0099】ステップSC6では、比較器38がFIFO33内のサンプルカウントとFIFO40内のDBCとを比較し、比較結果に応じて FIFO39及び40の読み出しポインタを調整する。

【0100】ステップSC7では、調整したポインタを基に FIFO39からサンプルデータSDTを読み出し、ノードシステム32に供給する。そして、FIFO33内のサンプルカウントSCNを読み出して、ノードシステム32に供給する。

【0101】以上の第1の実施例では、図3に示すように、サンプルカウント軸を基準にすることにより、ノード間の同期をとる。第1及び第2の2つの送信ノード2が1つの受信ノード3にデータパケット6を送信する場合を説明する。WCマスタノード1は、第1及び第2の送信ノード2及び受信ノード3にWCパケット5を送信する。第1及び第2の送信ノード2は、それぞれWCパケット5に応じてデータパケット6を受信ノード3に送信する。例えば、第1の送信ノードは、第1の演奏会場

で演奏された楽音をオーディオデータとしてリアルタイムで送信し、第2の送信ノードは、第2の演奏会場で演奏された楽音をリアルタイムで送信する。受信ノードは、第1及び第2の送信ノードからそれぞれ受信したオーディオデータを同期をとって再生することができる。これにより、第1及び第2の演奏会場での合同演奏が可能になる。

【0102】次に、第2の実施例を示す。第2の実施例では、サンプルカウント軸の代わりに、システムタイム軸を基準にすることにより、ノード間の同期をとる。

【0103】図9は、第2のTxノード2の構成例を示すブロック図である。

【0104】第2の実施例では、図2に示すように、D BC6aの代わりにシステムタイム6cを用いる。すなわち、データパケット6は、システムタイム6c及びサンプルデータ6bを含む。

【0105】Txノード2は、IEEE1394インターフェースシステム51及びノードシステム52を有する。

【0106】WCパケット5は、システムタイム5a及びサンプルカウント5bを含む。サンプルカウント FIFO53は、サンプルカウント5bをファーストインファーストアウトで格納する。システムタイム FIFO54は、システムタイム5aをファーストインファーストアウトで格納する。

【0107】システムタイム比較器55は、FIFO54が出力するシステムタイム5aとサイクルタイム2aが出力するサイクルタイムの下位16ビットを比較する。システムタイム5aは、WCマスタノード1のサイクルタイムの下位16ビットに最大遅延時間SYT\_OF\_FSET(352μs)を加算した値である。

【0108】サイクルタイムとシステムタイム5aが一致すると、比較器55は、一致信号を出力する。一致信号が出力するまで後に示す処理は待たれる。後の処理を待たせることにより、WCマスタノード1からTxノード2までの通信遅延時間T1(図3)を吸収することができる。

【0109】PLL56は、上記の一致信号に同期して、例えば48kHzのオーディオ用ワードクロックWCKを生成し、ノードシステム52に供給する。

【0110】タイミング調整器57は、上記の一致信号を受けた時点で、FIFO53内のサンプルカウント5bをサンプルカウントSCNとしてノードシステム52に供給する。

【0111】ノードシステム52は、ワードクロックWCKに同期して、サンプルカウントSCN(例えば49)に応じて、8個のサンプルデータ(例えば第49～第56サンプルデータ)をデータSDTとして読み出して、データFIFO59にファーストインファーストアウトで格納する。

【0112】タイミング調整器100は、上記でシステムタイムFIFO54から出力されたシステムタイム5aの値(比較器55で一致した値)を、比較器55で一致したタイミングで加算器58へ供給する。加算器58は、システムタイム5aにオフセット値SYT\_OF\_FSET(例えば、17サンプルに相当するシステムタイム)を加算し、システムタイムFIFO60にファーストインファーストアウトで格納する。オフセット値を加算することにより、Txノード2からRxノード3までの通信遅延時間T2(図3)を吸収するための準備が整う。通信遅延時間T2の吸収は、後に示すRxノード3(図11)にて行われる。

【0113】FIFO60内のシステムタイム6a及びFIFO59内のサンプルデータ6bを基に、データパケット6を生成する。データパケット6は、Txノード2からRxノード3へ送信される。

【0114】図10は、上記の第2のTxノード2(図9)の処理を示すフローチャートである。フローチャートの左側の処理SD1～SD7はインターフェースシステム51の処理を示し、右側の処理SD8はノードシステム52の処理を示す。

【0115】ステップSD1では、WCパケット5内のシステムタイム5a及びサンプルカウント5bをそれぞれFIFO54及び53に格納する。

【0116】ステップSD2では、比較器55がシステムタイムとサイクルタイムを比較し、両者が一致するまで待機する。両者が一致すると、ステップSD3へ進む。

【0117】ステップSD3では、FIFO54に格納されている次のシステムタイムを比較器55にロードし、次の比較の準備を行う。

【0118】ステップSD4では、PLL66がワードクロックWCKを生成する。

【0119】ステップSD5では、FIFO53内のサンプルカウントSCNをノードシステム52に供給する。

【0120】次に、インターフェースシステム51はステップSD6を処理し、ノードシステム52はステップSD8を処理する。

【0121】ステップSD6では、加算器58が上記の一致したシステムタイム5aとオフセット値SYT\_OF\_FSETを加算し、加算値をFIFO60に格納する。次に、ステップSD7へ進む。

【0122】ステップSD8では、入力したサンプルカウントSCNに応じたサンプルデータSDTをインターフェースシステム51へ供給する。次に、ステップSD7へ進む。

【0123】ステップSD7では、サンプルデータSDT及びシステムタイム等をパケット化して、データパケット6をバス4を介してRxノード3へ送出する。

【0124】図11は、第2のRxノード3の構成例を示すブロック図である。

【0125】第2の実施例では、第1の実施例(図7)と異なり、データパケット6はDBC6aの代わりにシステムタイム6cを含む。データパケット6は、システムタイム6c及びサンプルデータ6bを含む。

【0126】Rxノード3は、IEEE1394インターフェースシステム71及びノードシステム72を有する。

【0127】受信するデータパケット6は、システムタイム6c及びサンプルデータ6bを含む。システムタイム FIFO80は、システムタイム6cをファーストインファーストアウトで格納する。データ FIFO79は、サンプルデータ6bをファーストインファーストアウトで格納する。

【0128】システムタイム比較器78は、FIFO80が出力するシステムタイム5cとサイクルタイマ3aが出力するサイクルタイムを比較する。システムタイム6cは、図9のTxノード2の加算器58にてシステムタイム5aにオフセット値SYT\_OFFSETを加算した値である。

【0129】システムタイム6cは、オフセット値SYT\_OFFSETが加算されているので、初期はサイクルタイマ3aのサイクルタイムの値よりも大きい。サイクルタイマ3aは、順次サイクルタイムをインクリメントする。

【0130】システムタイム6cとサイクルタイムが一致すると、比較器78は、一致信号を出力する。一致信号が出力されるまで、データ FIFO79内のデータの読み出し処理は待たれる。この待機により、Txノード2からRxノード3までの通信遅延時間T2(図3)を吸収することができる。

【0131】タイミング調整器81は、比較器78から一致信号を受けると、データ FIFO79からサンプルデータを読み出して、データ FIFO73に格納する。比較器78が一致信号を出力すると、比較器78にはシステムタイム80内の次のシステムタイムがセットされる。

【0132】受信するWCパケット5は、システムタイム5a及びサンプルカウント5bを含む。システムタイム FIFO74は、システムタイム5aをファーストインファーストアウトで格納する。サンプルカウント FIFO82は、サンプルカウント5bをファーストインファーストアウトで格納する。

【0133】システムタイム比較器75は、FIFO74が出力するシステムタイム5aとサイクルタイマ3aが出力するサイクルタイムの下位16ビットを比較する。システムタイム5aは、WCマスタノード1のサイクルタイムの下位16ビットに最大遅延時間SYT\_OFFSET(352μs)を加算した値である。

【0134】サイクルタイムとシステムタイム5aが一致すると、比較器75は、一致信号を出力する。一致信号が出力するまで後に示す処理が待たされるので、WCマスタノード1からRxノード3までの通信遅延時間を吸収することができる。

【0135】PLL76は、上記の一致信号に同期して、例えば48kHzのオーディオ用ワードクロックWCKを生成し、ノードシステム72に供給する。

【0136】タイミング調整器77は、上記の一致信号を受けた時点で、データ FIFO73内のサンプルデータ6bをサンプルデータSDTとしてノードシステム72へ供給する。

【0137】タイミング調整器83は、上記の一致信号を受けた時点で、サンプルカウント FIFO82内のサンプルカウント5bをサンプルカウントSCNとしてノードシステム72へ供給する。

【0138】ノードシステム72は、ワードクロックWCKに同期して、サンプルカウントSCNに応じてサンプルデータ(オーディオデータ)SDTを再生することにより、スピーカから発音させることができる。

【0139】以上のように、第2の実施例によれば、システムタイム軸を基準にすることにより、ノード間の同期をとることができ。比較器78は、Txノード2からRxノード3までのデータパケット6の通信遅延時間を吸収し、比較器75は、WCマスタノード1からRxノード3までのWCパケット5の通信遅延時間を吸収することができる。これら通信遅延時間を吸収することにより、ノード間の同期をとることができ。

【0140】図12は、上記の第2のRxノード3(図11)の処理を示すフローチャートである。

【0141】ステップSE1では、受信したWCパケット5内のシステムタイム5a及びサンプルカウント5bをそれぞれ FIFO74及び82に格納する。

【0142】ステップSE2では、データパケット6を受信した場合、パケット6内のシステムタイム6c及びサンプルデータ6bをそれぞれ FIFO80及び79に格納する。

【0143】ステップSE3では、比較器78が FIFO80内のシステムタイム6cとサイクルタイマ3aのサイクルタイムとを比較し、両者が一致するまで待機する。両者が一致すると、ステップSE4へ進む。

【0144】ステップSE4では、FIFO80に格納されている次のシステムタイムを比較器78にロードし、次の比較の準備を行う。

【0145】ステップSE5では、データ FIFO79内のサンプルデータをデータ FIFO73に格納する。

【0146】ステップSE6では、比較器75が FIFO74内のシステムタイム5aとサイクルタイマ3aのサイクルタイムとを比較し、両者が一致するまで待機する。両者が一致すると、ステップSE7へ進む。

【0147】ステップS E 7では、F I F O 7 4に格納されている次のシステムタイムを比較器7 5にロードし、次回の比較の準備を行う。

【0148】ステップS E 8では、P L L 7 6がワードクロックW C Kを生成する。

【0149】ステップS E 9では、F I F O 8 2内のサンプルカウントS C N及びF I F O 7 3内のサンプルデータS D Tをノードシステムに供給する。

【0150】図13は、第3のT x ノード9 0の構成例を示すブロック図である。

【0151】第3のT x ノード9 0は、第2のT x ノード2(図9)とWCマスタノード1(図4)を含めた構成である。第3のT x ノード9 0は、T x ノードとしての機能の他、WCマスタノードとしての機能をも有する。第3のT x ノード9 0をネットワークに接続した場合には、独立のWCマスタノード1をネットワークに接続する必要はない。

【0152】第3のT x ノード9 0は、I E E E 1 3 9 4インターフェースシステム9 1及びノードシステム5 2を有する。インターフェースシステム9 1は、上部がWCマスタノードに相当し、下部がT x ノードに相当する。下部のT x ノードは、第2のT x ノード2(図9)と同じ構成である。以下、上部のWCマスタノードに相当する部分の構成を説明する。

【0153】発振器(O S C)9 3は、インターフェースシステム9 1の外部に設けられ、所定周波数の信号を発振する。発振器9 3は、インターフェースシステム9 1の内部に設けてよい。分周器9 4は、発振器9 3が発振する信号を分周し、所定周波数(図2のパケット周期S Y T \_ I N T E R V A Lに相当する周波数)の信号を出力する。サンプルカウンタ9 5は、発振器9 3が発振する信号に同期して、ワードクロックW C K(例えば4 8 k H z)と同じ周波数でサンプルカウントをインクリメントする。

【0154】ラッチ9 6は、分周器9 4の出力信号に同期して、サンプルカウンタ9 5が生成するサンプルカウントをサンプルカウント5 bとして出力する。

【0155】ラッチ9 7は、分周器9 4の出力信号に同期して、サイクルタイマ2 aが生成するサイクルタイムを加算器9 8へ出力する。加算器9 8は、ラッチ9 7が出力するサイクルタイムの下位1 6ビットにオフセット値S Y T \_ O F F S E Tを加算し、その加算値をシステムタイム5 aとして出力する。

【0156】システムタイム5 a及びサンプルカウント5 bはパケット化され、WCパケット5としてバス4上に送出される。

【0157】それと同時に、システムタイム5 aは、I E E E 1 3 9 4バスを介さず、T x ノード9 0内のシステムタイムF I F O 5 4に直接格納され、サンプルカウント5 bは、T x ノード9 0内のサンプルカウントF I

F O 5 3に直接格納される。その後のT x ノード部の処理は、図9のT x ノードの処理と同じである。

【0158】WCマスタノードをT x ノードに含ませることにより、単独のWCマスタノードをネットワークに接続する必要がなくなり、ノード数を減らすことができる。WCマスタノードをT x ノードに含ませると同様にして、WCマスタノードをR x ノードに含ませてもよい。

【0159】次に、WCマスタノード1、T x ノード2及びR x ノード3の各サイクルタイマ1 a, 2 a, 3 a(図1)の位相を合わせる方法を説明する。WCマスタノード1、T x ノード2及びR x ノード3は、全てI E E E 1 3 9 4バスに接続されたノードである。これらのノードのうちの一つがルートノードとして決定される。例えば、各ノードに識別番号が付与され、その識別番号が最も小さな値又は大きな値のノードがルートノードとなる。その構成を次に示す。

【0160】図14は、図1のネットワークを別の観点から表現したネットワークの構成を示す。

【0161】ルートノードR Nは、WCマスタノード1、T x ノード2又はR x ノード3のうちのいずれか一つのノードである。第1ノードN 1～第nノードN nは、ルートノード以外のノードである。

【0162】ルートノードR Nは、自己のサイクルタイマで生成されたサイクルタイムC Tをバス上に送出する。ノードN 1～N nは、ルートノードR Nが送出するサイクルタイムC Tを受け取り、そのサイクルタイムC Tの値を自己のサイクルタイマにセットする。

【0163】図15は、ルートノードR Nが行う処理を示すフローチャートである。

【0164】ステップS F 1では、自己のサイクルタイマの値C Tを他のノードに送信し、処理を終了する。ルートノードR Nは、所定周期でサイクルタイマの値C Tをブロードキャストでバス上に送信する。

【0165】図16は、ノードN 1～N nが行う処理を示すフローチャートである。

【0166】ステップS G 1では、ルートノードR Nからサイクルタイマの値C Tを受信する。

【0167】ステップS G 2では、自己のサイクルタイマを受信したサイクルタイマの値C Tに更新する。

【0168】このフローチャートは、ルートノードR Nから所定周期でサイクルタイマの値C Tを受信する度に行う。

【0169】上記の方法により、各ノードのサイクルタイマの同期をとることができる。ここで、ルートノードR NがサイクルタイムC Tを送信する遅延時間について考える。遅延時間の相違により、各ノードN 1～N nがサイクルタイムC Tを受信する時刻は異なる。次に、通信遅延時間を考慮した処理を示す。

【0170】ノードN 1～N nは、ルートノードR Nに

ピンパケットを送信する。ルートノードRNは、ピンパケットを受信すると、レスポンスパケットを返送する。ノードN1～Nnは、ピンパケットを送信してからレスポンスパケットを受信するまでの時間を計測する。その時間は、ノードN1～NnからルートノードRNまでの往復通信遅延時間である。ノードN1～Nnは、自己のサイクルタイムを片道通信遅延時間分だけ進め、ルートノードRNのサイクルタイムの位相に合わせる。

【0171】例えば、往復通信遅延時間が $100\mu s$ として計測された場合、片道通信遅延時間は $50\mu s$ である。ノードN1～Nnは、自己のサイクルタイムを片道通信遅延時間（ $50\mu s$ ）分だけ加算する。

【0172】サイクルタイムを片道通信遅延時間だけ加算することにより、各ノードのサイクルタイムの位相を合わせることができる。これにより、複数のRxノードは、ほぼ同時にオーディオデータの再生を行うことができる。次に、上記の処理をフローチャートにそって説明する。

【0173】図17は、サイクルタイムの遅延時間補正値の決定処理を示すフローチャートである。フローチャートの左側の処理SH1、SH4、SH5、SH6はノードN1～Nnの処理を示し、右側の処理SH2、SH3はルートノードRNの処理を示す。

【0174】ステップSH1では、ノードN1～NnがピンパケットをルートノードRNに送信し、時間計測を開始する。

【0175】ステップSH2では、ルートノードRNがピンパケットを受信する。

【0176】ステップSH3では、ルートノードRNが送信元のノードN1～Nnにレスポンスパケットを即時に送信する。

【0177】ステップSH4では、ノードN1～Nnがレスポンスパケットを受信する。

【0178】ステップSH5では、ノードN1～Nnがピンパケットを送信（ステップSH1）してからレスポンスパケットを受信（ステップSH4）するまでの往復通信遅延時間を算出する。

【0179】ステップSH6では、算出した往復通信遅延時間の半分の値を片道通信遅延時間として算出する。次に、片道通信遅延時間の値をサイクルタイムに換算して、補正值を決定する。サイクルタイムは、原則として約25MHzでカウントされる値である。

【0180】図18は、ノードN1～Nnが行う補正処理を示すフローチャートであり、図16のフローチャートに代わるものである。

【0181】ステップSI1では、図15でルートノードRNから送信されたサイクルタイムの値CTを受信する。

【0182】ステップSI2では、受信したサイクルタイムの値CTに図17で決定した補正值を加算する。

【0183】ステップSI3では、自己のサイクルタイムを、上記の補正されたサイクルタイムの値に更新する。

【0184】サイクルタイムを補正することにより、各ノードのサイクルタイムの位相を合わせることができる。例えば、第1のTxノード2（図5）では、サイクルタイム2aの値を補正し、第1のRxノード3（図7）では、サイクルタイム3aの値を補正する。

【0185】次に、サイクルタイムの代わりに、システムタイムを補正する方法を説明する。第1のTxノード2（図5）では、比較器15がサイクルタイム2aの値とシステムタイム FIFO14の値とを比較する。上記では、サイクルタイム2aの値を補正したが、その代わりにシステムタイム FIFO14の値を補正して、比較器15にセットする。

【0186】第1のRxノード3（図7）でも、同様に、サイクルタイム3aの値を補正する代わりに、システムタイム FIFO34の値を補正して、比較器35にセットする。

【0187】第2のTxノード2（図9）でも、同様に、サイクルタイム2aの値を補正する代わりに、システムタイム FIFO54の値を補正して、比較器55にセットする。

【0188】第2のRxノード3（図11）でも、同様に、サイクルタイム3aの値を補正する代わりに、システムタイム FIFO74の値を補正して比較器75にセットし、かつシステムタイム FIFO80の値を補正して比較器78にセットする。

【0189】図19は、上記のシステムタイム補正処理を示すフローチャートである。

【0190】ステップSJ1では、システムタイムの値を受信用 FIFO14、34、54、74、80から取り出す。

【0191】ステップSJ2では、取り出したシステムタイムの値と図17で決定した補正值とを基に演算する。例えば、システムタイムの値から補正值を減算する。

【0192】ステップSJ3では、比較器15、35、55、75、78の上記の演算値をセットする。

【0193】なお、第2のTxノード（図9）では、システムタイム FIFO60内のシステムタイムを補正してデータパケット6を送信するようにしてもよい。その場合、第2のRxノード（図11）のシステム FIFO80の値を補正する必要はない。

【0194】以上のように、サイクルタイム又はシステムタイムを補正することによって、各ノードの時間軸の位相を合わせることができる。位相を合わせることにより、複数のTxノードの送信タイミング又は複数のRxノードの再生タイミングの位相を合わせることができる。

【0195】第1及び第2の実施例によれば、WCマスターノード1がWCパケット5をTxノード2及びRxノード3に送信する。Txノード2は、Rxノード3にデータパケット6を送信する。データパケット6は、サンプルデータ6bの他、DBC6a又はシステムタイム6cを有する。

【0196】第1の実施例では、DBC6aを用いて、サンプルカウント軸を基にノード間の同期をとることができ。第2の実施例では、システムタイム6cを用いて、システムタイム軸を基にノード間の同期をとることができる。

【0197】ノード間で同期をとることにより、1つのTxノードから複数のRxノードに同じデータをほぼ同時に送信する場合に、複数のRxノード間でデータの再生時間を合わせることができる。また、各Rxノードは、タイミングずれを起こすことなく、一連のデータを再生することができる。

【0198】また、ノード間で同期をとることにより、複数のTxノードから1つのRxノードにデータを送信する場合に、Rxノードでは複数のTxノードから送信されるデータのタイミングを合わせることができる。

【0199】なお、パケット中のデータはオーディオデータに限定されず、画像データ等でもよい。通信は、IEEE1394デジタルシリアル通信に限定されず、その他のシリアル通信やパラレル通信でもよい。例えば、インターネット、LAN等でもよい。

【0200】図20はパーソナルコンピュータ12の具体的なハードウェア構成を示す図である。

【0201】パーソナルコンピュータ12の構成を説明する。バス21には、CPU22、RAM24、外部記憶装置25、外部に対してMIDIデータを送受信するためのMIDIインターフェース26、サウンドカード27、ROM28、表示装置29、キーボードやスイッチやマウス等の入力手段30、インターネットに接続するための通信インターフェース31が接続されている。

【0202】サウンドカード27は、バッファ27aとコーデック回路27bを有する。バッファ27aは、外部に対して入力又は出力するためのデータをバッファリングする。コーデック回路27bは、A/D変換器及び、D/A変換器を有し、アナログ形式とデジタル形式両者間の変換を行うことが出来る。さらに、コーデック回路27bは、圧縮/伸張回路を有し、データの圧縮及び伸張を行うことができる。

【0203】外部記憶装置25は、たとえばハードディスクドライブ、フロッピーディスクドライブ、CD-ROMドライブ、光磁気ディスクドライブ等であり、MIDIデータ、オーディオデータ、画像データ又はコンピュータプログラム等を記憶することができる。

【0204】ROM28は、コンピュータプログラム及び各種パラメータを記憶することができる。RAM24

は、バッファやレジスタ等のワーキングエリアを有し、外部記憶装置25に記憶されている内容をコピーして記憶することができる。

【0205】CPU22は、ROM28又はRAM24に記憶されているコンピュータプログラムに従って、各種演算又は処理を行う。システムクロック23は、時間情報を生成する。CPU22はシステムクロック23から時間情報を得て、タイマ割り込み処理を行うことができる。

【0206】インターネット回線32には、パーソナルコンピュータ12の通信インターフェース31が接続される。通信インターフェース31は、インターネットにより、MIDIデータ、オーディオデータ、画像データ及びコンピュータプログラム等を送受信するためのインターフェースである。

【0207】MIDIインターフェース26には、MIDI音源13が接続され、サウンドカード27には、音声出力装置14が接続される。CPU22は、通信インターフェース31を介して、インターネット回線32上からMIDIデータとオーディオデータと画像データとコンピュータープログラム等を受信する。

【0208】通信インターフェース31は、インターネット用インターフェースのほか、イーサネット用インターフェース、IEEE1394規格のデジタル通信インターフェース、RS-232C用インターフェースでもよく、種々のネットワークに接続することができる。

【0209】パーソナルコンピュータ12は、オーディオデータの受信や再生等をするためのコンピュータプログラムを記憶する。コンピュータプログラムや各種パラメータ等を外部記憶装置25に記憶させておき、それをRAM24に読み込むことにより、コンピュータプログラム等の追加やバージョンアップ等が容易に行える。

【0210】CD-ROM(コンパクトディスクドライブ・オンリー・メモリー)ドライブは、CD-ROMに記憶されているコンピュータプログラム等を読み出す装置である。読み出したコンピュータプログラム等は、ハードディスクにストアされる。コンピュータプログラムの新規インストールやバージョンアップ等が容易に行える。

【0211】通信インターフェース31はLAN(ローカルエリアネットワーク)やインターネット、電話回線等の通信ネットワーク32に接続されており、該通信ネットワーク32を介して、コンピュータ33と接続される。外部記憶装置25内に上記のコンピュータプログラム等が記憶されていない場合、コンピュータ33からコンピュータプログラム等をダウンロードすることができる。パーソナルコンピュータ12は、通信インターフェース31及び、通信ネットワーク32を介してコンピュータ33へコンピュータプログラム等のダウンロードを要求するコマンドを送信する。コンピュータ33は、こ

のコマンドを受け、要求されたコンピュータプログラム等を、通信ネットワーク32を介して、パソコンコンピュータ12へ配信する。パソコンコンピュータ12が、通信インターフェース31介して、コンピュータプログラム等を受信して外部記憶装置25に蓄積することにより、ダウンロードが完了する。

【0212】なお、本実施例は、本実施例に対応するコンピュータプログラム等をインストールした市販のパソコンコンピュータ等によって、実施させるようしてもよい。その場合には、本実施例に対応するコンピュータプログラム等を、CD-ROMやフロッピーディスク等の、コンピュータが読み込むことが出来る記憶媒体に記憶させた状態で、ユーザーに提供してもよい。そのパソコンコンピュータ等が、LAN、インターネット、電話回線等の通信ネットワークに接続されている場合には、通信ネットワークを介して、コンピュータプログラムや各種データ等をパソコンコンピュータ等に提供してもよい。

【0213】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

#### 【0214】

【発明の効果】以上説明したように、本発明によれば、複数の通信装置間で同期情報を通信することにより、同期をとつてデータの送信又は処理を行うことができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施例によるネットワークの構成を示すブロック図である。

【図2】 送信ノード(Txノード)の処理を示すタイミングチャートである。

【図3】 図1に示す各ノードのタイミングチャートである。

【図4】 WCマスタノードの処理を示すフローチャートである。

【図5】 第1のTxノードの構成を示すブロック図である。

【図6】 第1のTxノードの処理を示すフローチャートである。

【図7】 第1の受信ノード(Rxノード)の構成を示すブロック図である。

【図8】 第1のRxノードの処理を示すフローチャートである。

【図9】 第2のTxノードの構成を示すブロック図である。

【図10】 第2のTxノードの処理を示すフローチャートである。

【図11】 第2のRxノードの構成を示すブロック図である。

【図12】 第2のRxノードの処理を示すフローチャートである。

ートである。

【図13】 第3のTxノードの構成を示すブロック図である。

【図14】 ネットワークの構成を示すブロック図である。

【図15】 ルートノードの処理を示すフローチャートである。

【図16】 ルートノード以外のノードの処理を示すフローチャートである。

【図17】 サイクルタイマの遅延時間補正值の決定処理を示すフローチャートである。

【図18】 遅延時間の第1の補正処理を示すフローチャートである。

【図19】 遅延時間の第2の補正処理を示すフローチャートである。

【図20】 パソコンコンピュータ12の具体的なハードウェア構成を示す図である。

#### 【符号の説明】

- |     |                      |          |                      |             |                |         |                |          |               |
|-----|----------------------|----------|----------------------|-------------|----------------|---------|----------------|----------|---------------|
| 1   | WCマスタノード、            | 2        | 送信ノード(Txノード)、        | 3           | 受信ノード(Rxノード)、  | 1a,     |                |          |               |
| 2a, | 3a                   | サイクルタイマ、 | 4                    | IEEE1394バス、 | 5              | WCパケット、 | 5a             | システムタイム、 |               |
| 5b  | サンプルカウント、            | 6        | データパケット、             | 6a          | DBC、           | 6b      | サンプルデータ、       |          |               |
| 6c  | システムタイム、             | 11       | IEEE1394インタフェースシステム、 | 12          | ノードシステム、       | 13      | サンプルカウント FIFO、 | 14       | システムタイム FIFO、 |
| 16  | PLL、                 | 17       | タイミング調整器、            | 18          | 加算器、           | 19      | データ FIFO、      | 20       | DBCジェネレータ、    |
| 31  | IEEE1394インタフェースシステム、 | 32       | ノードシステム、             | 33          | サンプルカウント FIFO、 | 34      | システムタイム FIFO、  | 35       | システムタイム比較器、   |
| 36  | PLL、                 | 37       | タイミング調整器、            | 38          | DBC比較器、        | 39      | データ FIFO、      | 40       | DBC-FIFO、     |
| 51  | IEEE1394インタフェースシステム、 | 52       | ノードシステム、             | 53          | サンプルカウント FIFO、 | 54      | システムタイム FIFO、  | 55       | システムタイム比較器、   |
| 56  | PLL、                 | 57       | タイミング調整器、            | 58          | 加算器、           | 59      | データ FIFO、      | 60       | システムタイム FIFO、 |
| 71  | IEEE1394インタフェースシステム、 | 72       | ノードシステム、             | 73          | データ FIFO、      | 74      | システムタイム FIFO、  | 75       | システムタイム比較器、   |
| 76  | PLL、                 | 77,      | 81,                  | 78          | データ FIFO、      | 79      | データ FIFO、      | 80       | システムタイム FIFO、 |
| 83  | タイミング調整器、            | 84       | ノードシステム、             | 85          | サンプルカウント FIFO、 |         |                |          |               |

90 Txノード、  
ンタフェースシステム、

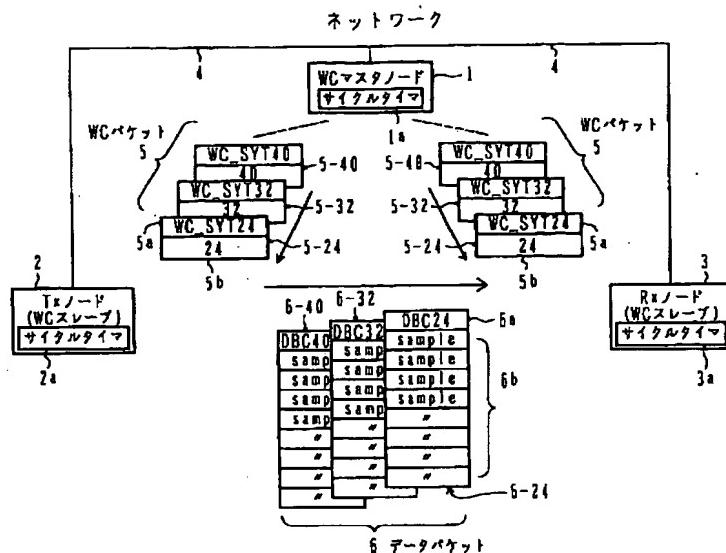
91 IEEE1394イ  
93 発振器、 94

分周器、  
ラッチ、

95 サンプルカウンタ、  
98 加算器

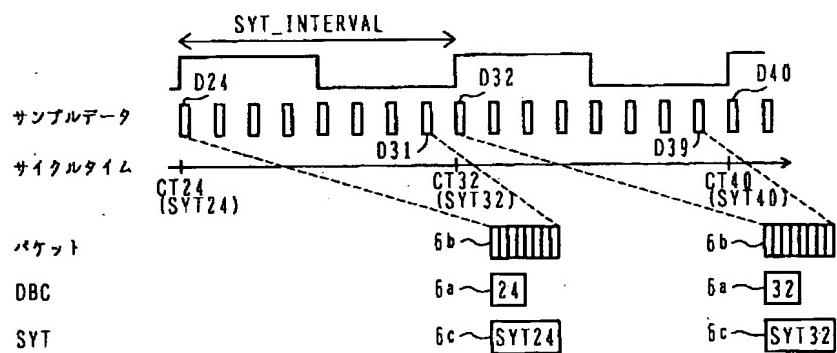
96, 97

【図1】



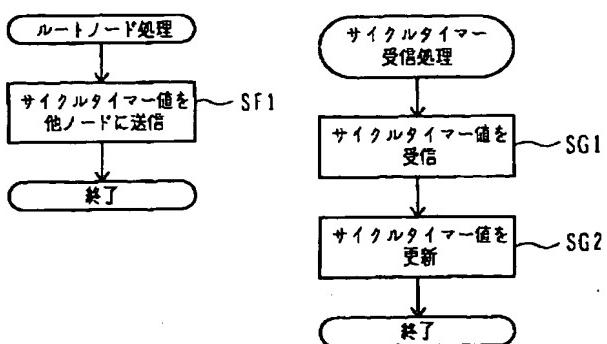
【図2】

Txノードのタイミングチャート

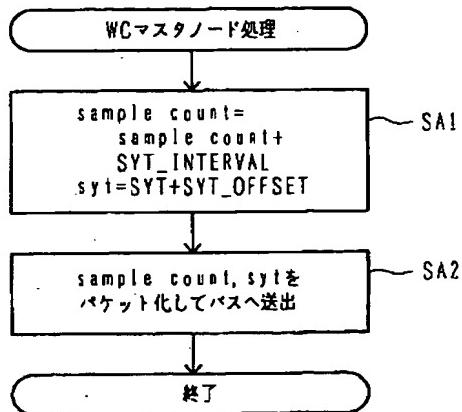


【図15】

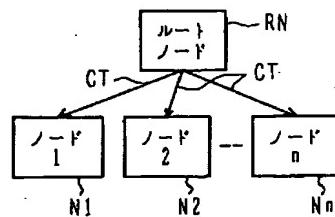
【図16】



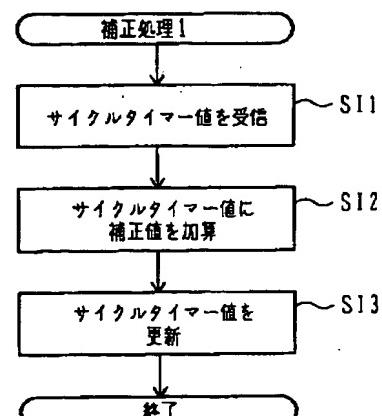
【図4】



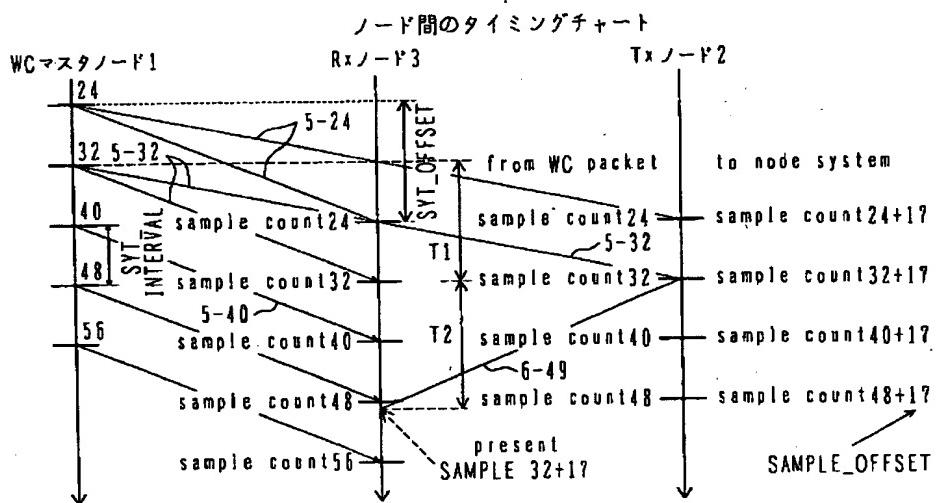
【図14】



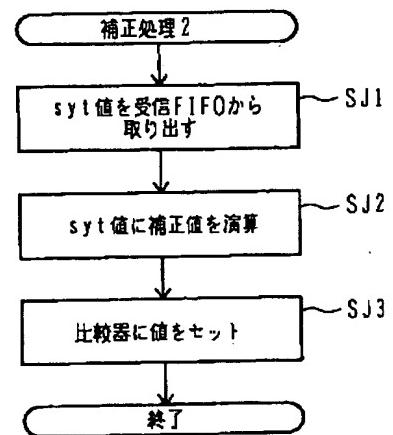
【図18】



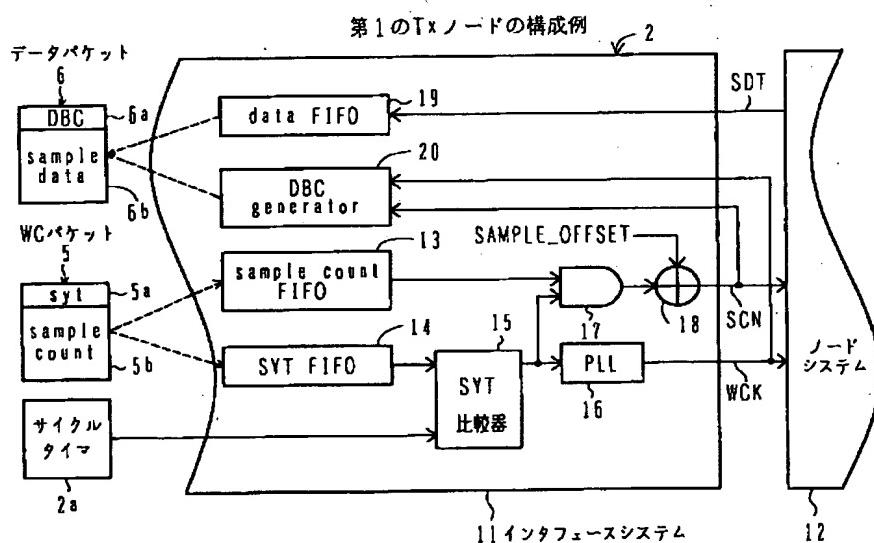
【図3】



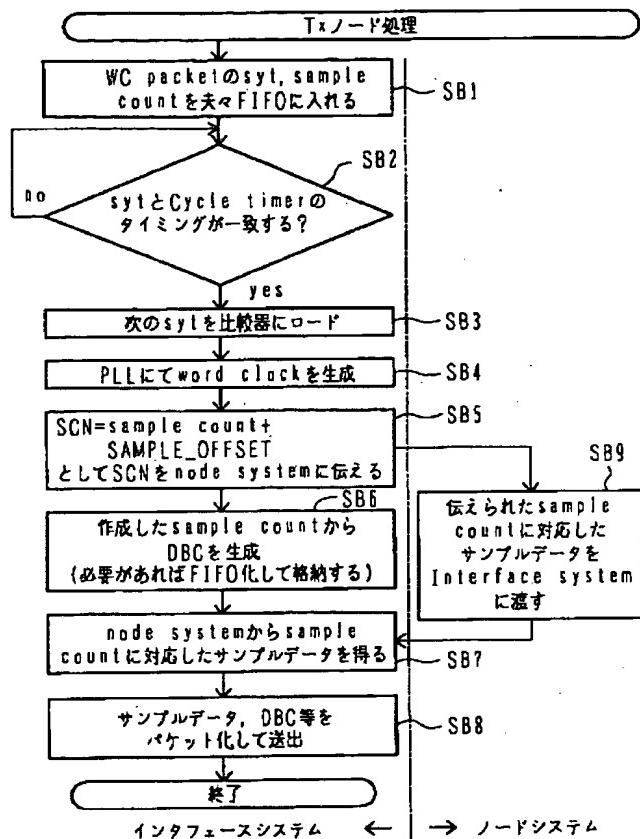
【図19】



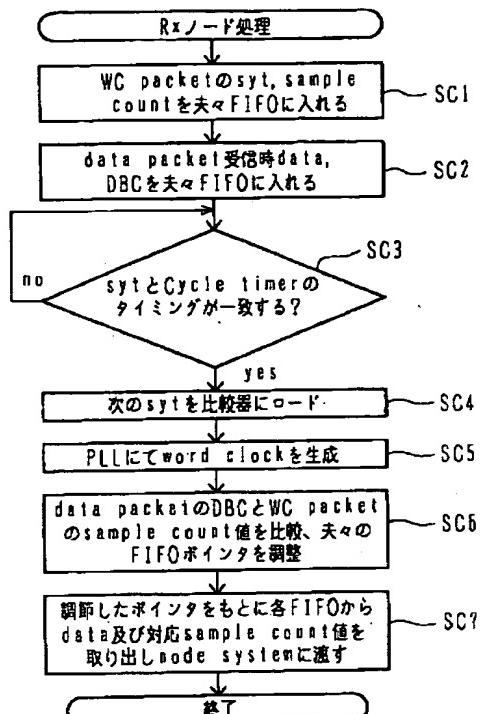
【図5】



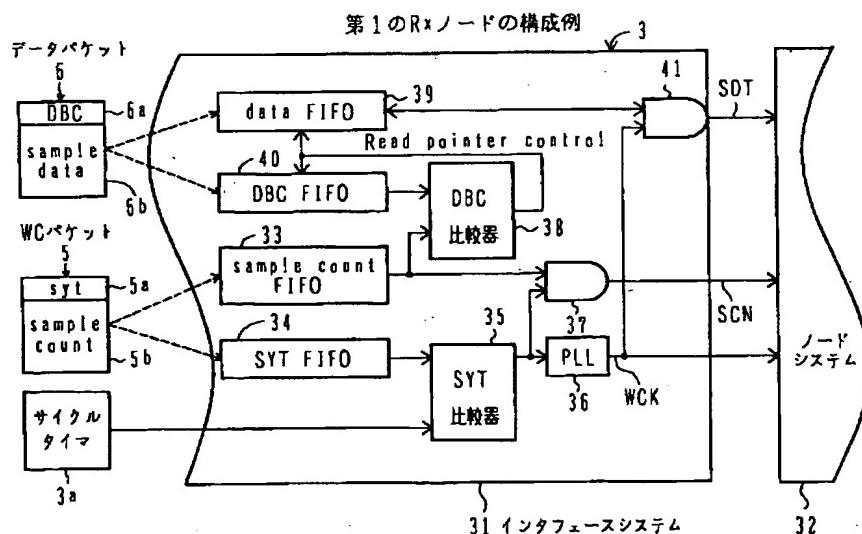
【図6】



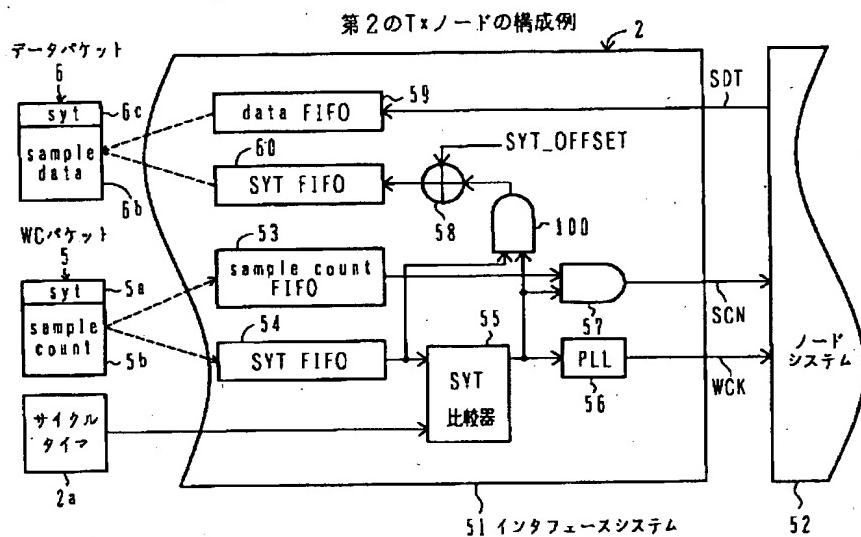
【図8】



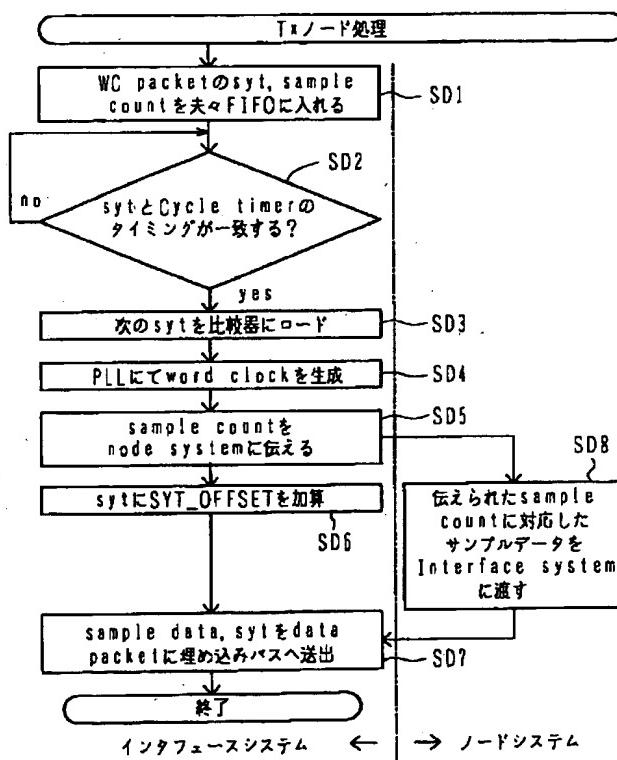
【図7】



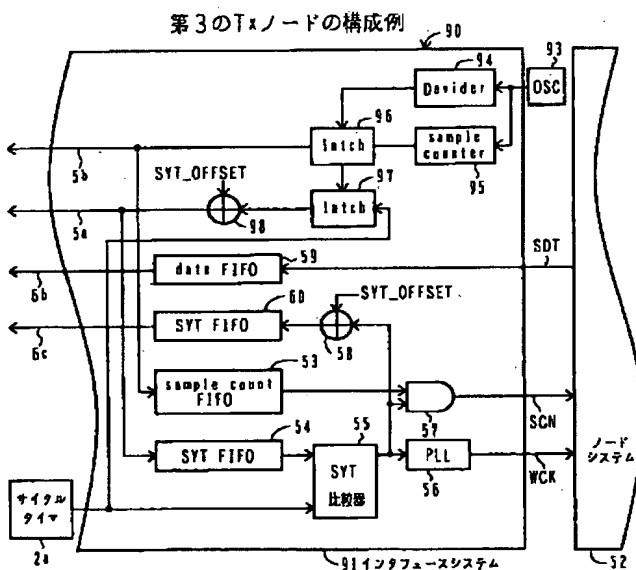
【図9】



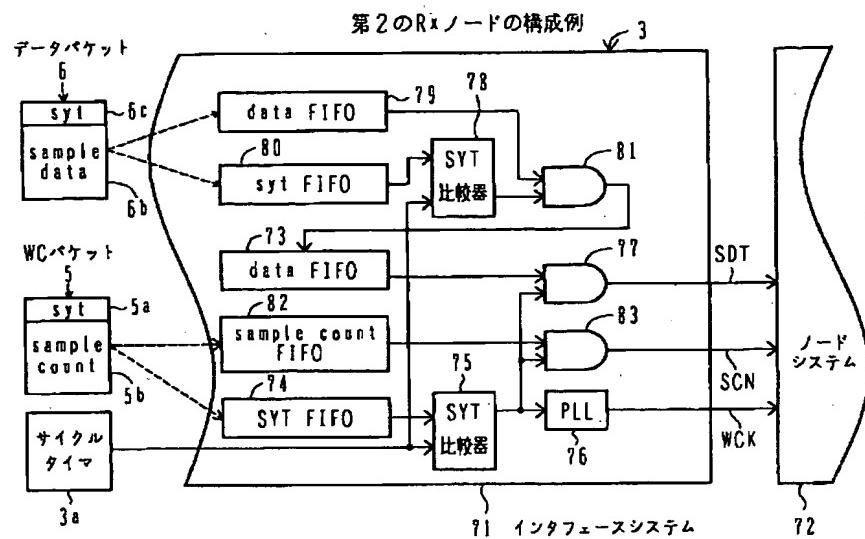
【図10】



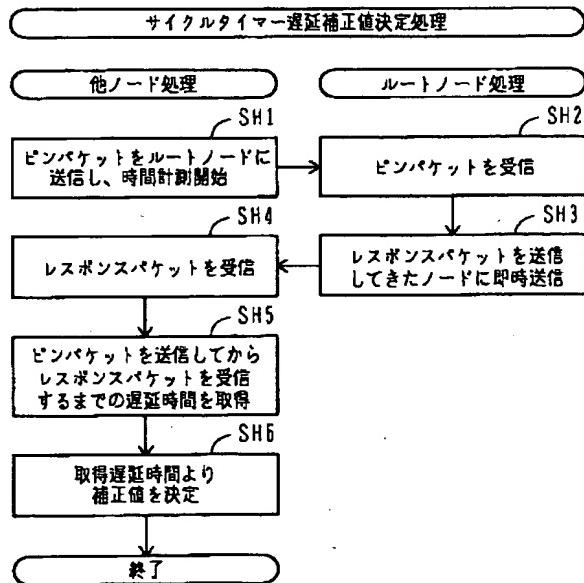
【図13】



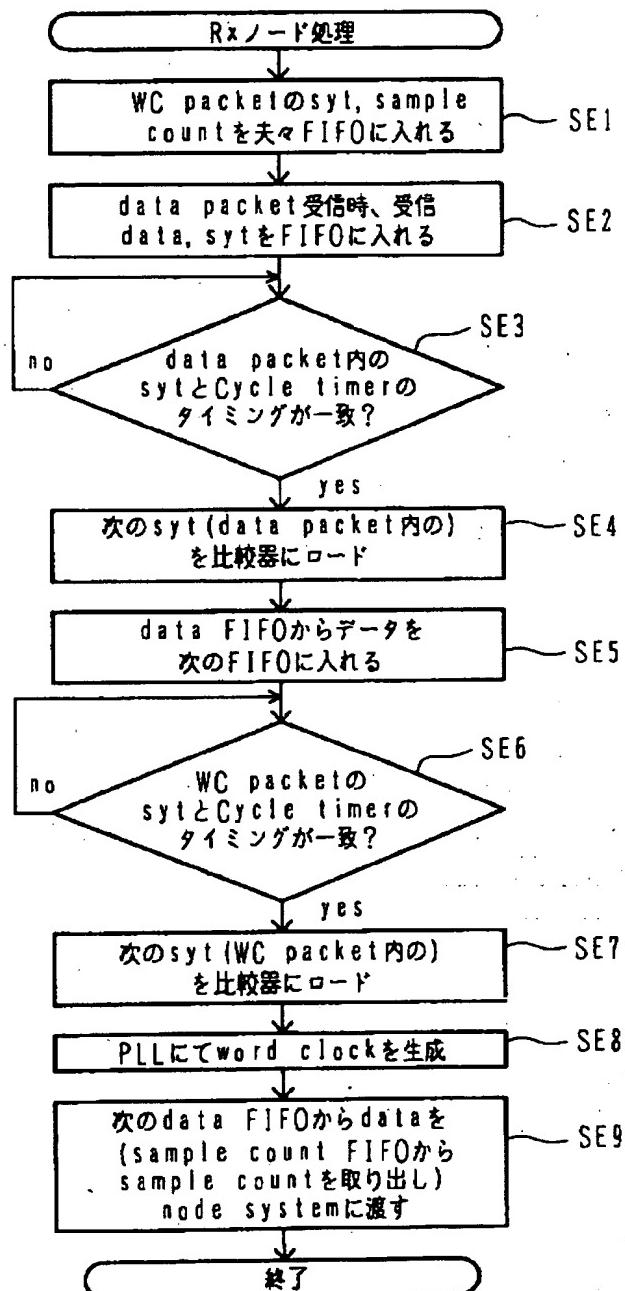
【図11】



【図17】



【図12】



【図20】

